



⑮ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 199 18 025 A 1**

⑤① Int. Cl. 7:
H 03 K 17/06
H 03 K 17/16
H 03 K 17/687
H 02 M 3/07

⑲ Aktenzeichen: 199 18 025.3
⑳ Anmeldetag: 21. 4. 1999
㉓ Offenlegungstag: 2. 11. 2000

10/757, 081

DE 199 18 025 A 1

⑦① Anmelder:
Siemens AG, 80333 München, DE

⑦② Erfinder:
Christoph, Axel, Villach, AT

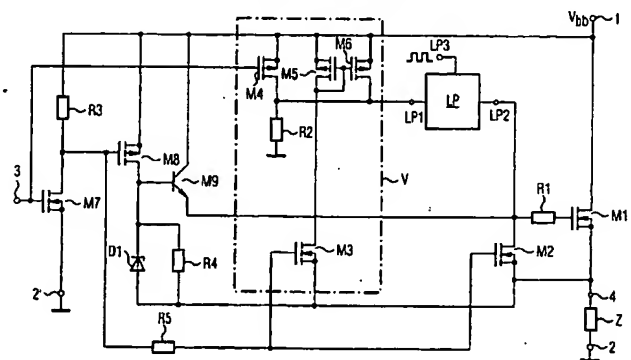
⑤⑥ Entgegenhaltungen:
DE 196 35 911 C1
DE 197 28 283 A1
EP 5 72 706 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Schaltungsanordnung mit einer Ansteuerung für einen Halbleiterschalter mit sourceseitiger Last

⑤⑦ Es wird eine Schaltungsanordnung mit einem ersten Halbleiterschalter vorgeschlagen, der ein Drain, ein Source und ein Gate aufweist und der sourceseitig mit einer Last zwischen einem ersten und einem zweiten Versorgungspotentialanschluß verschalten ist. Das Gate des ersten Halbleiterschalters ist mit einer Ladungspumpe gekoppelt. Es ist ferner ein zweiter Halbleiterschalter vorgesehen, der mit seiner Laststrecke zwischen dem Gate und der Source des ersten Halbleiterschalters verschalten ist. Eine Ansteuerung steuert nach Maßgabe eines an einem Eingang anliegenden Steuersignals die Ladungspumpe sowie den ersten und den zweiten Halbleiterschalter an, wobei ein Verzögerungsmittel vorgesehen ist, das die Ansteuerung der Ladungspumpe gegenüber dem zweiten Halbleiterschalter zeitlich verzögert. Hierdurch ist, insbesondere bei einer Pulsweitenmodulation, eine störende EMV-Abstrahlung verhindert.



DE 199 18 025 A 1

Die Erfindung betrifft eine Schaltungsanordnung mit einem ersten Halbleiterschalter, der ein Drain, ein Source und ein Gate aufweist und der sourceseitig mit einer Last zwischen einem ersten und einem zweiten Versorgungspotentialanschluß verschaltet ist. Das Gate des ersten Halbleiterschalters ist mit einer Ladungspumpe gekoppelt. Ferner ist ein zweiter Halbleiterschalter vorgesehen, der mit seiner Laststrecke zwischen dem Gate und der Source des ersten Halbleiterschalters verschaltet ist. Eine Ansteuerung steuert nach Maßgabe eines an einem Eingang anliegenden Steuerungssignales die Ladungspumpe sowie den ersten und den zweiten Halbleiterschalter an.

Schaltungsanordnungen, die nach dem Prinzip der Spannungsverdopplerschaltung arbeiten, sind aus dem Stand der Technik hinlänglich bekannt. Hiermit ist es möglich, einen Halbleiterschalter mit sourceseitiger Last auch dann voll leitend zu steuern, wenn die Spannung am Steuereingang kleiner als die Drainspannung ist.

Der prinzipielle Aufbau einer derartigen Schaltungsanordnung ist in Fig. 1 dargestellt. Zwischen einem ersten und einem zweiten Versorgungspotentialanschluß 1, 2 ist die Serienschaltung aus einem ersten Halbleiterschalter M1 und einer Last Z verschaltet. Hierbei ist der Drainanschluß des als MOSFET ausgeführten Halbleiterschalters M1 mit dem ersten Versorgungspotentialanschluß 1 verbunden, an dem üblicherweise die Betriebsspannung V_{BB} anliegt. Sourceseitig ist der Halbleiterschalter M1 mit der Last Z verbunden. Der Halbleiterschalter M1 wird über einen Widerstand R1 von einer Ladungspumpe LP angesteuert, die ihrerseits über eine Ansteuerschaltung AS gesteuert wird. Die Ansteuerschaltung bzw. die Ladungspumpe LP beginnen zu arbeiten, wenn an einem Eingang 3 der Ansteuerschaltung AS ein entsprechendes Signal anliegt.

Ferner ist noch ein zweiter Halbleiterschalter M2 vorgesehen, der mit seinem Sourceanschluß mit dem Sourceanschluß des ersten Halbleiterschalters M1 verbunden ist. Drainseitig ist der zweite Halbleiterschalter M2 dem Widerstand R1 verbunden. Der zweite Halbleiterschalter M2 wird ebenfalls von der Ansteuerschaltung AS angesteuert. Bis auf die Last Z sind alle genannten Bauelemente auf einem integrierten Schaltkreis IC untergebracht. Der zweite Versorgungspotentialanschluß 2, der üblicherweise das Bezugspotential, z. B. Masse, darstellt ist üblicherweise nicht mit dem zweiten Versorgungspotentialanschluß 2' (ebenfalls Bezugspotential, Massepotential) des integrierten Schaltkreises IC verbunden. Durch das Leitendschalten des zweiten Halbleiterschalters M2 wird das Gate des ersten Halbleiterschalters M1 in Richtung zweites Versorgungspotential gezogen, so daß der erste Halbleiterschalter M1 sperrt.

Die genaue Ausgestaltung einer Ansteuerschaltung sowie der dazugehörigen Ladungspumpe einer gattungsgemäßen Schaltungsanordnung ist z. B. in der EP 0 572 706 A1 beschrieben. In der dortigen Fig. 1 ist ein Leistungs-FET 1 dargestellt, dessen Drain-Anschluß D über einen Anschluß 3 an einer Versorgungsspannung $+U_{BB}$ liegt. Sein Source-Anschluß ist über einen Anschluß 4 mit einer Last 2 verbunden. Diese Last liegt einseitig an Masse (Lastmasse). Zwischen dem Drain-Anschluß und dem Source-Anschluß des Leistungs-FET 1 liegt die Reihenschaltung aus einem zweiten FET 5 und einem Widerstand 14. Der FET 5 ist von dem Leistungs-FET entgegengesetzten Kanaltyp. Sein Source-Anschluß ist mit dem Drain-Anschluß des Leistungs-FET 1 verbunden, sein Drain-Anschluß mit dem Widerstand 14. Zwischen den Gate-Anschluß des zweiten FET 5 und sein Source-Anschluß ist ein Widerstand 6 angeschlossen.

Der Gate-Anschluß des Leistungs-FET 1 ist über Wider-

stände 17, 19 und eine erste Diode 9 mit einem Anschluß eines Kondensators 10 verbunden, sein anderer Anschluß mit einem Eingangsanschluß 11. Mit dem Verbindungspunkt zwischen Kondensator 10 und erster Diode 9 ist der Emitteranschluß eines npn-Bipolartransistors 8 verbunden. Sein Basisanschluß ist mit dem Drainanschluß des zweiten FET 5 verbunden, sein Kollektoranschluß mit dessen Source-Anschluß. Zwischen dem Gate-Anschluß des Leistungs-FET 1 und seinem Source-Anschluß liegt über einen Widerstand 18 die Drain-Source-Strecke eines dritten FET 16, der als Depletion-FET ausgebildet ist. Sein Source-Anschluß ist mit dem Source-Anschluß des Leistungs-FET 1 verbunden. Der Gate-Anschluß von 16 liegt einerseits über einen Widerstand 20 und einen steuerbaren Schalter 12 an einem zweiten Eingangsanschluß 13 und andererseits am Gate-Anschluß des zweiten FET 5.

Wird der steuerbare Schalter 12 eingeschaltet, so wird eine Eingangsspannung U_{in} an den Gate-Anschluß des FET 5 gelegt, die kleiner ist als die Versorgungsspannung $+U_{BB}$. Damit fließt ein Strom vom Anschluß 3 über den Widerstand 6, den Widerstand 20, den steuerbaren Schalter 12 zum Anschluß 13. Die Widerstände 6 und 20 sind derart bemessen, daß der FET 5 leitend gesteuert und der Depletion-FET 16 gesperrt wird. Damit fließt ein Strom über die Drain-Source-Strecke des FET 5 einerseits durch den Widerstand 14 und andererseits in den Basisanschluß des Bipolartransistors 8. Der Bipolartransistor wird damit leitend gesteuert, und ein Strom fließt über die Diode 9, die Widerstände 17 und 19 zum Gate-Anschluß des Leistungs-FET 1 und lädt dessen Gate-Source-Kapazität auf. Dieser beginnt damit zu leiten. Gleichzeitig mit der Gate-Source-Kapazität des Leistungs-FET 1 wird auch der Kondensator 10 über die Kollektor-Emitter-Strecke des Bipolartransistors 8 aufgeladen. Wird nun in den Eingangsanschluß 11 eine Impulsfolge eingespeist, so wird das Potential am Verbindungspunkt zwischen Kondensator 10 und Diode 9 angehoben, und die Gate-Source-Kapazität des Leistungs-FET wird weiter aufgeladen.

Eine Entladung des Kondensators 10 über den Widerstand 14 und die Last 2 nach Masse wird über die in Sperrichtung vorgespannte Basis-Emitter-Strecke des Bipolartransistors 8 verhindert. Die Basis-Emitter-Strecke des Bipolartransistors entspricht der zweiten Diode der bekannten Schaltung.

Zum Abschalten des Leistungs-FET 1 wird der steuerbare Schalter 12 geöffnet. Damit steigt die Spannung am Gate-Anschluß des Depletion-FET 16 und dieser wird leitend gesteuert. Der FET 5 und der Bipolartransistor 8 werden gleichzeitig gesperrt. Damit wird die Gate-Source-Kapazität des Leistungs-FET 1 entladen, und der Transistor sperrt.

Ein prinzipieller Nachteil der gattungsgemäßen beschriebenen Schaltungsanordnungen besteht darin, daß beim Einschalten des Halbleiterschalters die Ladungspumpe von Beginn an arbeitet. In der Praxis schaltet der FET 16, der das Gate des Leistungs-FET entladen soll, jedoch erst mit einer gewissen Verzögerung aus. Somit ist ein Stromfluß durch den FET 16 erst dann unterbunden, wenn die Spannung am Ausgang 4 ca. 6 Volt unter der Betriebsspannung $+U_{BB}$ am Versorgungspotentialanschluß 3 liegt. Durch das verzögerte Ausschalten des FETs 16 bedingt ergeben sich beim Einschalten eines High-Side-Schalters aufgrund des noch eingeschalteten Pfades über den FET 16 Stromänderungen am Ausgang 4. Hierdurch werden EMV-Störungen verursacht, die die geltenden Normen verletzen können. Dies stört um so mehr, wenn die Ansteuerung über eine Pulsweitenmodulation erfolgt.

Die Aufgabe der vorliegenden Erfindung besteht deshalb darin, eine gattungsgemäße Schaltungsanordnung so weiter-

zubilden, daß keine Stromänderungen am Ausgang entstehen.

Diese Aufgabe wird mit einer Schaltungsanordnung gelöst, die einen ersten Halbleiterschalter mit einem Drain, einem Source und einem Gate aufweist, wobei der erste Halbleiterschalter sourceseitig mit einer Last verschaltet ist. Die Serienschaltung aus dem Halbleiterschalter und der Last liegt zwischen einem ersten und einem zweiten Versorgungspotential. Eine Ladungspumpe ist mit dem Gate des ersten Halbleiterschalters gekoppelt. Ferner ist ein zweiter Halbleiterschalter vorgesehen, der mit seiner Laststrecke zwischen dem Gate und der Source des ersten Halbleiterschalters verschaltet ist. Eine Ansteuerung steuert nach Maßgabe eines an einem Eingang anliegenden Steuersignals die Ladungspumpe sowie den ersten und den zweiten Halbleiterschalter an. Es ist ein Verzögerungsmittel vorgesehen, das die Ansteuerung der Ladungspumpe gegenüber dem zweiten Halbleiterschalter zeitlich verzögert.

Weitere vorteilhafte Ausgestaltungen ergeben sich aus den Unteransprüchen.

Vorteilhafterweise wird die Ladungspumpe erst dann eingeschaltet, wenn der zweite Halbleiterschalter gesperrt ist. Hierdurch wird ein Stromfluß zum Ausgang, d. h. zum Source des ersten Halbleiterschalters unterbunden. EMV-Störungen können deshalb nicht entstehen.

Vorteilhafterweise ist die Ansteuerung über das Verzögerungsmittel mit der Ladungspumpe und dem zweiten Halbleiterschalter verbunden. In einer konkreten Ausgestaltung weist das Verzögerungsmittel einen dritten Halbleiterschalter auf, dessen Steuer-Anschluß und Source-Anschluß mit dem jeweiligen Anschluß des zweiten Halbleiterschalters verschaltet ist und dessen Drain-Anschluß mit einem Stromspiegel verbunden ist, der einerseits mit dem Mittelabgriff eines Spannungsteilers und andererseits mit einem Eingang der Ladungspumpe verbunden ist. Mit anderen Worten bedeutet dies, daß ein Abbild des Stromes des zweiten Halbleiterschalters erzeugt wird, das einem Stromspiegel zugeführt wird. Erst wenn der Stromspiegel keinerlei Strom mehr produziert, d. h. der zweite Halbleiterschalter vollkommen sperrend ist, kann die Ladungspumpe zum Laufen beginnen.

Vorteilhafterweise weist der Spannungsteiler des Verzögerungsmittels einen vierten Halbleiterschalter auf, der nach Maßgabe des Steuersignals am Eingang der Ansteuerung leitend oder sperrend gespalten wird. Hierdurch wird erzielt, daß bei einem entsprechenden Ansteuersignal die Ladungspumpe zum Laufen beginnen könnte, sofern der zweite Halbleiterschalter bereits sperrend geschaltet ist.

In einer weiteren vorteilhaften Ausgestaltung sind der zweite und der dritte Halbleiterschalter gleich dimensioniert. Auf diese Weise ist sichergestellt, daß ein genaues Abbild des Stromes durch den zweiten Halbleiterschalter erzeugt wird.

Die Erfindung wird anhand der nachstehenden Figuren näher erläutert. Es zeigen:

Fig. 1 eine prinzipielle Schaltungsanordnung für die Ansteuerung eines High-Side-Schalters nach dem Stand der Technik,

Fig. 2 eine prinzipielle Schaltungsanordnung zur Ansteuerung eines High-Side-Schalters nach der Erfindung und

Fig. 3 ein konkretes Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung.

Fig. 2 zeigt den prinzipiellen Aufbau einer erfindungsgemäßen Schaltungsanordnung. Gegenüber dem bereits beschriebenen und in Fig. 1 dargestellten Schaltungsaufbau unterscheidet sich die Erfindung dadurch, daß die Ladungspumpe LP nicht direkt von der Ansteuerung AS angesteuert wird, sondern daß eine Verzögerungsschaltung V zwischen- geschaltet ist. Die Verzögerungsschaltung V ermittelt im

wesentlichen, ob der zweite Halbleiterschalter M2 sich im sperrenden Zustand befindet oder nicht. Sobald der zweite Halbleiterschalter M2 gesperrt ist, kann die Ladungspumpe LP bei Erhalt eines entsprechenden Steuersignales durch das Verzögerungsmittel V den Halbleiterschalter M1 aufsteuern. Der erste Halbleiterschalter M1 wird somit leitend.

Fig. 3 zeigt ein konkretes Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung. Die erfindungsgemäße Schaltungsanordnung weist einen Halbleiterschalter M1 auf, der sourceseitig mit einer Last Z verbunden ist. Die Reihenschaltung aus dem Halbleiterschalter M1 und der Last 2 befindet sich zwischen einem ersten und einem zweiten Versorgungspotentialanschluß 1, 2. Die Schaltungsanordnung weist eine Ansteuerung auf, die im wesentlichen mit der aus der EP 0 572 706 A1 bekannten und bereits beschriebenen Ansteuerung identisch ist. Die Ansteuerschaltung besteht aus den Halbleiterschaltern M7, M8, M9 sowie den Widerständen R3, R4, R5 und einer Zenerdiode D1. Die dargestellte Ansteuerschaltung ist als exemplarisch zu betrachten. Der Einsatz der Erfindung ist prinzipiell zusammen mit jeder beliebigen Ansteuerschaltung denkbar.

Die Schaltungsanordnung weist ferner einen zweiten Halbleiterschalter M2 auf, der sourceseitig mit dem Source-Anschluß des ersten Halbleiterschalters M1 verbunden ist. Der Drain-Anschluß des zweiten Halbleiterschalters M2 ist über einen Gate-Ladewiderstand R1 mit dem Gate des ersten Halbleiterschalters M1 verbunden. Der Verbindungspunkt zwischen dem zweiten Halbleiterschalter M2 und dem ersten Widerstand R1 ist ferner mit einem Ausgang LP2 einer Ladungspumpe LP verbunden. Die Ladungspumpe LP weist zwei weitere Eingänge LP1 und LP3 auf. Das am Eingang LP1 anliegende Signal schaltet die Ladungspumpe ein, während am Steuereingang LP3 ein Taktsignal z. B. von einem Oszillator angeschlossen ist.

Eingangsseitig ist die Ladungspumpe LP mit dem Verzögerungsmittel V verbunden. Ein Eingang V1 des Verzögerungsmittels V ist mit einem Steuereingang 3 der Ansteuerung AS verbunden. Das Verzögerungsmittel V weist einen dritten Halbleiterschalter M3 auf, dessen Gate-Anschluß mit dem Gate des zweiten Halbleiterschalters M2 verbunden ist. Sourceseitig ist der dritte Halbleiterschalter M3 mit dem Source-Anschluß des zweiten Halbleiterschalters M2 verbunden. Der Drain-Anschluß des dritten Halbleiterschalters M3 ist mit einem Stromspiegel verbunden, der aus einem fünften und einen sechsten Halbleiterschalter M5, M6 besteht. Die Gate-Anschlüsse des fünften und des sechsten Halbleiterschalters M5, M6 sind miteinander verbunden, die Source-Anschlüsse des fünften und des sechsten Halbleiterschalters M5, M6 stehen mit dem ersten Versorgungspotentialanschluß 1 in Verbindung, an dem üblicherweise die Betriebsspannung V_{BB} anliegt. Der Drain-Anschluß des sechsten Halbleiterschalters M6 ist mit dem Eingang LP1 der Ladungspumpe verbunden. Er steht weiterhin mit dem Mittelabgriff eines Spannungsteilers in Verbindung, der aus einem vierten Halbleiterschalter M4 und einem zweiten Widerstand R2 besteht. Der Widerstand R2 ist einerseits mit dem zweiten Versorgungspotentialanschluß 2' und andererseits mit dem Drain-Anschluß des vierten Halbleiterschalters M4 verbunden. Der Source-Anschluß des vierten Halbleiterschalters M4 ist mit dem ersten Versorgungspotentialanschluß 1 verbunden. Das Gate des vierten Halbleiterschalters M4 stellt den Eingang V1 des Verzögerungsmittels V dar. Die Halbleiterschalter M4, M5, M6 sind als p-Kanal-MOSFETs ausgeführt. Der dritte Halbleiterschalter M3 hingegen ist, wie der zweite Halbleiterschalter M2, als n-Kanal-Depletion-MOSFET ausgeführt. Der erste Halbleiterschalter M1 ist ein n-Kanal-Enhancement-MOSFET.

Im folgenden wird die Funktion der erfindungsgemäßen

Schaltungsanordnung näher erläutert:

Liegt am Eingang 3 ein logisches H an, so ist der vierte Halbleiterschalter M4 gesperrt. Der Verbindungspunkt zwischen dem vierten Halbleiterschalter M4 und dem zweiten Widerstand R2 liegt auf niedrigem Bezugspotential, womit am Eingang LP1 der Ladungspumpe ein logisches L anliegt. Dies hat zur Folge, daß die Ladungspumpe LP ausgeschaltet ist. Durch ein logisches H am Steuereingang 3 ist der siebte Halbleiterschalter M7 andererseits leitend geschaltet, wodurch der Verbindungspunkt zwischen dem siebten Halbleiterschalter M7 und dem dritten Widerstand R3 auf Bezugspotential liegt. Dies hat zur Folge, daß der zweite Halbleiterschalter M2 leitet und somit der erste Halbleiterschalter M1 gesperrt ist.

Wechselt am Eingang 3 das Signal von einem logischen H auf ein logisches L, so leitet der vierte Halbleiterschalter M4. Am Drain des vierten Halbleiterschalters M4 liegt in etwa das Versorgungspotential V_{BB} an. Dadurch, daß der siebte Halbleiterschalter M7 sperrt, steigt das drainseitige Potential des siebten Halbleiterschalters M7 in Richtung des Versorgungspotentials V_{BB} . Kurz nach dem Einschalten sind der zweite und der dritte Halbleiterschalter M2 noch im leitenden Zustand. Bedingt durch den Stromfluß über den dritten Widerstand R3 und den fünften Widerstand R5 beginnen der zweite und der dritte Halbleiterschalter M2, M3 zu sperren. Solange jedoch über den dritten Halbleiterschalter M3 noch ein Strom fließt, wird über den Stromspiegel M5, M6 ein Strom erzeugt, der gegen den Strom aus dem Widerstand R2 arbeitet. Der zweite Widerstand R2 und der sechste Halbleiterschalter M6 sind so dimensioniert, daß M6 einen größeren Strom produziert. Somit bleibt das Potential am Eingang LP1 der Ladungspumpe hoch, so daß die Ladungspumpe nach wie vor ausgeschaltet bleibt. Erst wenn sich der dritte Halbleiterschalter M3 im gesperrten Zustand befindet, (da M2 und M3 gleich dimensioniert sind, befindet sich auch der zweite Halbleiterschalter M2 im gesperrten Zustand), erzeugt der Stromspiegel über M6 keinen Strom mehr. Am Eingang LP1 der Ladungspumpe liegt deshalb nun ein logisches L an, so daß die Ladungspumpe zu arbeiten beginnen kann. Da sich der achte Halbleiterschalter M8 bei einem logischen L am Eingang 3 im leitenden Zustand befindet wird auch der neunte Halbleiterschalter M9, der als Bipolartransistor ausgeführt ist, leitend geschaltet. Über den neunten Halbleiterschalter M9 und die Ladungspumpe LP kann nun das Gate des ersten Halbleiterschalters M1 aufgeladen werden, so daß dieser leitend wird.

Durch die erfindungsgemäße Schaltungsanordnung wird erzielt, daß bei einem Einschalten der Schaltungsanordnung die Ladungspumpe erst dann zu laufen beginnt, wenn der zweite Halbleiterschalter M2 sperrend geschaltet ist. Somit kann zum Ausgang 4 während des Einschaltens kein Strom fließen und eine störende EMV-Abstrahlung verursachen.

Wesentlich bei der Erfindung ist die direkte Kopplung des Verzögerungsmittels mit dem Hauptstörfaktor, dem zweiten Halbleiterschalter M2. Die Schaltungsanordnung weist eine hohe Zuverlässigkeit auf und benötigt als integrierte Schaltung nur wenig Platz. Somit ist sie kostengünstig zu realisieren.

Bezugszeichenliste

- 1 erster Versorgungspotentialanschluß
- 2 zweiter Versorgungspotentialanschluß
- 2' zweiter Versorgungspotentialanschluß
- 3 Eingang
- 4 Ausgang
- LP Ladungspumpe
- V Verzögerungsmittel

- AS Ansteuerung (M7, R3, M8, M9, D1, R4, R5)
- M1-M9 Halbleiterschalter
- R1-R5 Widerstand
- D1 Diode
- Z Last
- LP1 Eingang der Ladungspumpe
- LP2 Ausgang der Ladungspumpe
- LP3 Steuereingang der Ladungspumpe
- V1 Eingang des Verzögerungsmittels

Patentansprüche

1. Schaltungsanordnung mit
 - einem ersten Halbleiterschalter (M1), der ein Drain, ein Source und ein Gate aufweist, und der sourceseitig mit einer Last (Z) zwischen einem ersten und einem zweiten Versorgungspotentialanschluß verschaltet ist,
 - einer Ladungspumpe (LP), die mit dem Gate des ersten Halbleiterschalters (M1) gekoppelt ist,
 - einem zweiten Halbleiterschalter (M2), der mit seiner Laststrecke zwischen dem Gate und der Source des ersten Halbleiterschalters (M1) verschaltet ist,
 - eine Ansteuerung die nach Maßgabe eines an einem Eingang (3) anliegenden Steuersignals die Ladungspumpe (LP), sowie den ersten und den zweiten Halbleiterschalter (M1, M2) ansteuert,
 dadurch gekennzeichnet, daß ein Verzögerungsmittel (V) vorgesehen ist, das die Ansteuerung der Ladungspumpe (LP) gegenüber dem zweiten Halbleiterschalter (M2) zeitlich verzögert.
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Ladungspumpe (LP) erst dann eingeschaltet wird, wenn der zweite Halbleiterschalter (M2) gesperrt ist.
3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Ansteuerung über das Verzögerungsmittel (V) mit der Ladungspumpe (LP) und dem zweiten Halbleiterschalter (M2) verbunden ist.
4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß das Verzögerungsmittel (V) einen dritten Halbleiterschalter (M3) aufweist, dessen Steueranschluß und Source-Anschluß mit dem jeweiligen Anschluß des zweiten Halbleiterschalters (M2) verschaltet ist und dessen Drain-Anschluß mit einem Stromspiegel (M5, M6) verbunden ist, der einerseits mit dem Mittelabgriff eines Spannungsteilers (M4, R2) und andererseits mit einem Eingang der Ladungspumpe verbunden ist.
5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß der Spannungsteiler einen ersten Halbleiterschalter (M4) aufweist, der nach Maßgabe des Steuersignals am Eingang (3) der Ansteuerung leitend oder sperrend geschaltet wird.
6. Schaltungsanordnung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß der Stromspiegel aus einem fünften und einem sechsten Halbleiterschalter (M5, M6) besteht, deren Source-Anschlüsse mit einem ersten Versorgungspotentialanschluß (1) verbunden sind.
7. Schaltungsanordnung nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß der zweite und der dritte Halbleiterschalter (M2, M3) gleich dimensioniert sind.

FIG 1

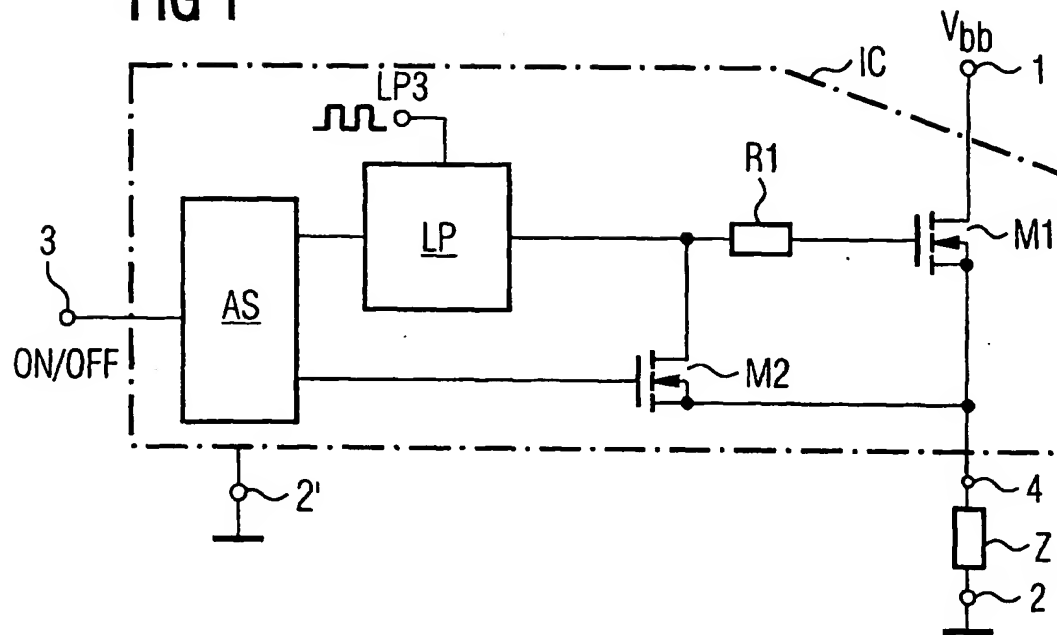


FIG 2

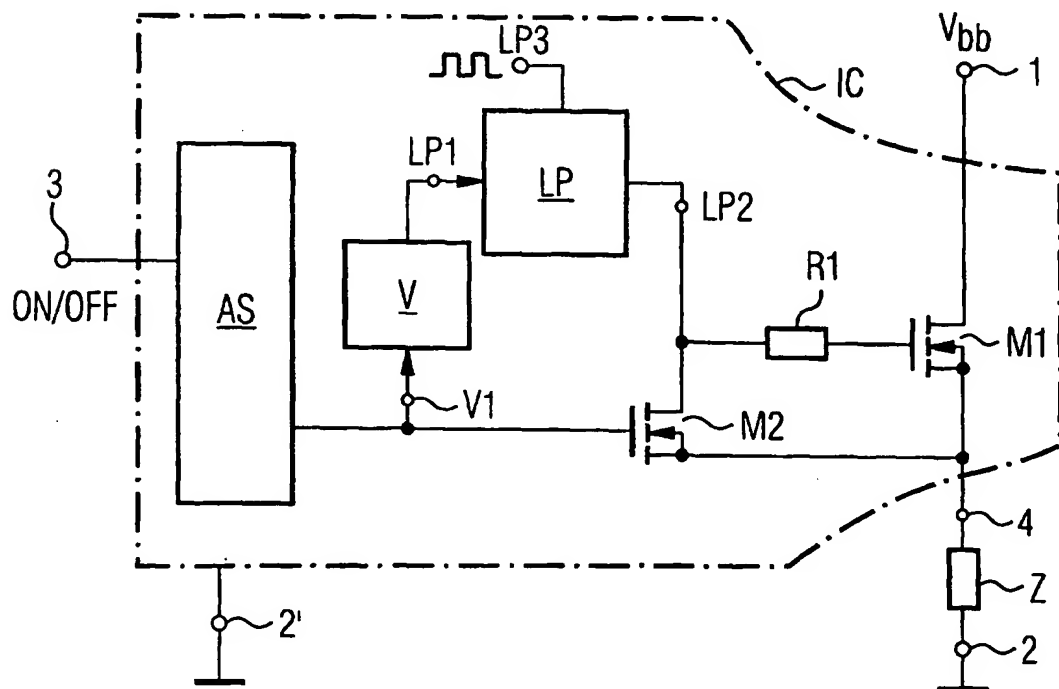


FIG 3

